

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246809

(43)Date of publication of application : 30.08.2002

(51)Int.CI. H01P 1/213
H01P 1/15
H01P 1/18
// H04B 1/50

(21)Application number : 2001-041412

(71)Applicant : SANYO ELECTRIC CO LTD
SANYO ELECTRONIC
COMPONENTS CO LTD

(22)Date of filing : 19.02.2001

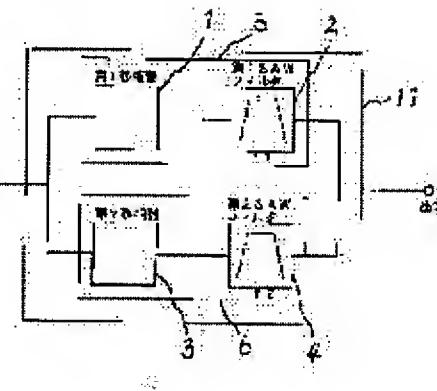
(72)Inventor : NAKAGAWA YUJI
MIYAMOTO KEIZO
NITANI YASUO
FUJIURA HIDEAKI

(54) SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal processing circuit which eliminates separation of signals by switching, and achieves miniaturization, power saving, and circuit simplification.

SOLUTION: A first phase shifter and a second phase shifter are provided with functions for converting input signals into signals whose phases are opposite to each other, and the first pass band filter and the second pass band filter are provided with pass band characteristics whose center frequencies are proximate to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-246809

(P2002-246809A)

(43)公開日 平成14年8月30日(2002.8.30)

(51)Int.Cl.⁷
H 01 P 1/213
1/15
1/18
// H 04 B 1/50

識別記号

F I
H 01 P 1/213
1/15
1/18
H 04 B 1/50

テ-レコ-ド*(参考)
Z 5 J 0 0 6
5 J 0 1 2
5 K 0 1 1

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号 特願2001-41412(P2001-41412)

(22)出願日 平成13年2月19日(2001.2.19)

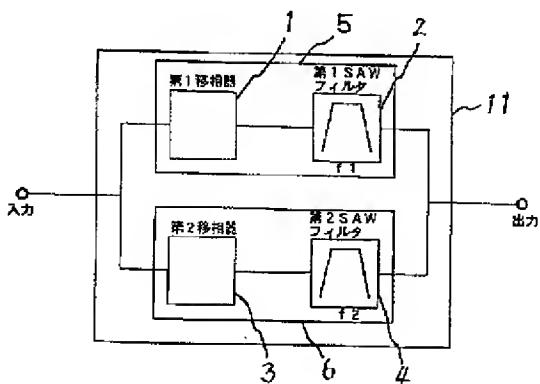
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(71)出願人 397016703
三洋電子部品株式会社
大阪府大東市三洋町1番1号
(72)発明者 中川 裕二
大阪府大東市三洋町一番一号 三洋電子部品株式会社内
(74)代理人 100066728
弁理士 丸山 敏之 (外2名)

(54)【発明の名称】 信号処理回路

(57)【要約】

【課題】 スイッチングによる信号の分離を不要とし、小型化、省電力化及び回路の簡略化を達成できる信号処理回路を提供する。

【解決手段】 第1移相器及び前記第2移相器は、入力信号を互いに逆位相となる信号に変換する機能を有し、前記第1通過帯域フィルタ及び前記第2通過帯域フィルタは、中心周波数が互いに近接した通過帯域特性を有する。



【特許請求の範囲】

【請求項1】 第1移相器と第1通過帯域フィルタとを直列接続した第1信号路と、第2移相器と第2通過帯域フィルタとを直列接続した第2信号路とを具え、前記第1移相器と前記第2移相器とを入力側にして、前記第1信号路と前記第2信号路とを並列接続した信号処理回路において、

前記第1移相器及び前記第2移相器は、入力信号を互いに逆位相となる信号に変換する機能を有し、

前記第1通過帯域フィルタ及び前記第2通過帯域フィルタは、中心周波数が互いに近接した通過帯域特性を有することを特徴とする信号処理回路。

【請求項2】 前記請求項1に記載の信号処理回路を前記第1信号路で1800MHz帯域を利用するDCS(digital cellular system)、前記第2信号路で1900MHz帯域を利用するPCS(personal communications services)を受信する受信回路として用いたことを特徴とする情報端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、異なる複数の帯域の信号を受信する信号処理回路及びこれを持った情報端末装置に関するものである。

【0002】

【従来の技術】 従来、異なる複数の周波数帯域を選択的に伝送する信号処理回路は図5に示すような方法で行われている。即ち、入力される信号から所望の帯域の周波数を取り出すには、周波数に応じてスイッチング回路(74)の切替えを行ない、各周波数に応じた第1通過帯域フィルタ(2)または第2通過帯域フィルタ(4)を通して、後段の復調回路(図示せず)などへ伝送する。フィルタ(2)(4)通過後の周波数特性は、それぞれ図9、図10に示すようになる。上記回路を携帯電話の端末装置へ応用したシステム(70)を図6に示す。この例で示す携帯電話装置は3つの帯域信号、つまり、欧州で使用される1800MHz帯を利用したDCS(digital cellular system)、北米で使用される1900MHz帯を利用したPCS(personal communication services)、及び欧州などで使用される900MHz帯を利用したGSM(global system for mobile communications)で動作するトリブルバンド対応の従来例である。

【0003】 システム(70)は、アンテナANT、ダイブレクサ(41)、高周波側のDCSまたはPCSのどちらか一方の信号を入出力する第1送受信回路(20)、及び低周波側のGSMの信号を入出力する第2送受信回路(30)から構成される。

【0004】 ダイブレクサ(41)は、アンテナANTから入力された信号を、中心周波数帯域が高周波側で近接するDCSまたはPCSのどちらか一方の信号と、低周波側のGSMの信号とに分離し、DCSまたはPCSのど

らか一方の信号を第1送受信回路(20)に出力し、GSMの信号を第2送受信回路(30)に出力する。また、第1送受信回路(20)から入力されるDCSまたはPCSのどちらかの信号と、第2送受信回路(30)から入力されるGSMの信号を結合して、アンテナANTから送信する。

【0005】 第1送受信回路(20)は、制御信号VC1により送受信の振り分けを行なう第1スイッチング回路(21)と、該第1スイッチング回路(21)に接続された第1受信回路(11)と第1送信回路(23)から構成される。ダイブレクサ(41)から第1送受信回路(20)に入力されたDCSまたはPCSのどちらか一方の信号は、第1スイッチング回路(21)を通って、スイッチング回路(74)を有する第1送受信回路(20)に入力される。スイッチング回路(74)は、後述するように制御信号VCによって動作し、第1送受信回路(20)の受信信号がDCS信号ならば受信部Rx d側に切り替えられDCS信号が受信部Rx dから出力され、また、受信信号がPCS信号ならば、受信部Rx p側に切り替わられてPCS信号が受信部Rx pから出力される。また、送信されるDCSまたはPCSのどちらか一方の信号は、送信部Tx d pから第1送信回路(23)に入力され、第1スイッチング回路(21)とダイブレクサ(41)を通って、アンテナANTから送信される。

【0006】 第2送受信回路(30)も、制御信号VC2により送受信の振り分けを行なう第2スイッチング回路(31)と、該第2スイッチング回路に接続された第2受信回路(32)と第2送信回路(33)から構成される。ダイブレクサ(41)から第2送受信回路(30)に入力されたGSMの信号は、第2スイッチング回路(31)を通って、第2受信回路(32)に入力され、受信部Rx gから出力される。また、送信されるGSMの信号は、送信部Tx gから第2送信回路(33)に入力され、第2スイッチング回路(31)とダイブレクサ(41)を通って、アンテナANTから送信される。

【0007】

【発明が解決しようとする課題】 上記第1受信回路(11)は、図5に示すように、スイッチング回路(74)と2つの通過帯域フィルタ(2)(4)(以下「SAWフィルタ」という)から構成される。SAWフィルタ(2)(4)は、一方(2)がDCS帯域通過型であり、他方(4)がPCS帯域通過型である。スイッチング回路(74)は、制御信号VCによって、接続するSAWフィルタ(2)(4)の選択を切り替えるものであり、DCS信号が入力されたときには、制御信号VCにより、DCS用のSAWフィルタ(2)に接続を切り替え、逆に、PCS信号が入力されたときには、PCS用のSAWフィルタ(4)に接続の切替えを行なう。

【0008】 つまり、スイッチング回路(74)自体が、制御信号VCによって、信号の振り分けを行なう機能を有し、さらに、SAWフィルタ(2)(4)も、所定の帯域信号のみを通過させる機能を有しているから、2段階で信

号の分離が行なわれ、機能が重複することになる。システム(70)には、小型化に対する強い要請があるが、このように、重複した機能が存在していたため、回路設計上、小型化には不利になる問題があった。また、スイッチング回路(74)は、一般的にダイオードスイッチから構成されるが、ダイオードは、基板に直接パターン形成することができず、基板に実装する必要があるから、小型化を達成できない問題があった。加えて、上記構成のシステム(70)は、スイッチング回路(74)による回路の複雑化や、スイッチング回路(74)の制御による電力消費量の増加、さらには、制御信号を使用することによる信号数の増加などの問題もあった。

【0009】本発明の目的は、スイッチングによる信号の振り分けを不要とし、情報端末器などに利用可能で小型化、省電力化及び回路の簡略化を達成できる信号処理回路を提供することである。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明の信号処理回路は、第1移相器と第1通過帯域フィルタとを直列接続した第1信号路と、第2移相器と第2通過帯域フィルタとを直列接続した第2信号路とを具え、前記第1移相器と前記第2移相器とを入力側にして、前記第1信号路と前記第2信号路とを並列接続した信号処理回路において、前記第1移相器及び前記第2移相器は、入力信号を互いに逆位相となる信号に変換する機能を有し、前記第1通過帯域フィルタ及び前記第2通過帯域フィルタは、中心周波数が互いに近接した通過帯域特性を有することを特徴とするものである。さらに、前記信号処理回路を前記第1信号路で1800MHz帯域を利用するDCS(digital cellular system)、前記第2信号路で1900MHz帯域を利用するPCS(personal communications services)を受信する受信回路として用いたことを特徴とする。

【0011】

【作用及び効果】本発明によれば、信号処理回路(11)に入力された信号(例えばDCSを使用する地域での信号)は第1信号路において、第1移相器(1)及び第1通過帯域フィルタ(2)により規定されている通過帯域周波数 f_1 を低損失で通過させ、第2信号路において、第2移相器(3)及び第2通過帯域フィルタ(4)で周波数帯域 f_1 の近傍周波数である周波数帯域 f_2 を逆移相かつ低損失で通過させるため、信号処理回路(11)通過後、周波数帯域 f_1 の f_2 に近い側を急峻に減衰させた周波数特性を持つ信号を形成することができる。即ち周波数特性は、図3に示すように周波数 f_1 の出力を最大とし f_1 の近傍にある周波数 f_2 を最小とした周波数特性を得ることができる。また、入力信号が帯域周波数 f_2 (例えばPCS地域で使用する時)を主とする時は、図4に示すように、周波数 f_2 を出力最大として周波数 f_1 を減衰させた特性を得ることができる。このとき、従来のスイッ

チング方式の受信機と比較すると、近接する f_1 と f_2 との互いの周波数に対する選択性を大きくするので、所望の周波数を選択しやすく、ノイズなどに強い受信器を構成できる。また、信号処理回路(11)には、信号の振り分けにスイッチング及びスイッチングのための制御信号VCが不要であるから、システムとして信号を1系統減らすことができ、また、スイッチングによる電力消費を不要とすることができる。さらに、第1、第2移相器(1)(3)を基板に直接パターン形成することができるから、従来よりも基板に実装される素子数を減らすことができ、システム(10)の小型化と簡略化を達成できる。

【0012】

【発明の実施の形態】本発明について構成を説明する。図1において、外部よりある周波数帯域を含む信号が入力端子(7)に入力される。第1信号路(5)は周波数帯域 f_1 を抽出する経路、第2信号路(6)は第1信号路を通過する周波数の近傍にある周波数帯域 f_2 を抽出する経路である。図2は本発明を携帯電話等の情報端末器として使用したものである。なお、上述の図6で説明した構成には同じ符号を付し、その説明は省略する。受信回路の例として、第1移相器(1)と第1SAWフィルタ(2)及び第2移相器(3)と第2SAWフィルタ(4)の望ましい周波数特性とインピーダンス分布を図7、図8に示している。図7に示すように、第1移相器(1)と第1SAWフィルタ(2)の特性は、周波数帯域 f_1 (例えばDCS帯域の信号: 1805~1880MHz)の信号に対して、インピーダンスが 50Ω (図中点 $\alpha 1$ で示す)となり、PCS帯域(1930~1990MHz)の信号に対してハイインピーダンス(図中点 $\alpha 2$ で示す)となるよう20設計されている。図8に示すように、第2移相器(3)と第2SAWフィルタ(4)の特性は、PCSの帯域(1930~1990MHz)に対して、インピーダンスが 50Ω (図中点 $\beta 1$ で示す)となり、DCS帯域(1805~1880MHz)の信号が、ハイインピーダンス(図中点 $\alpha 2$ で示す)となるように設計されている。

【0013】入力される信号が周波数帯域 f_1 (例えばDCS地域で使用している時)である場合、第1信号路において、第1移相器は周波数帯域 f_1 を低損失で通過させ、第1通過帯域フィルタ(SAWフィルタ)で周波数帯域 f_1 を選択的に抽出する。一方、第2信号路において、第2移相器は第1移相器に対して逆位相となるように回路が構成され、第2通過帯域フィルタ(SAWフィルタ)は周波数帯域 f_1 に近接する周波数帯域 f_2 を選択的に通過させており、第2信号路は第1信号路に対し逆位相となった周波数帯域 f_2 を通過させる。従って、入力信号は第1信号路と第2信号路の経由後、周波数 f_1 と周波数 f_2 との間の出力差が急峻な信号となる。即ち、入力信号の受信回路通過後の周波数特性は図3となる。一方、入力周波数が f_2 の時(例えばPCS地域で使用している時)は、同様に図4となる。

【0014】従来のスイッチング方式の受信機では、単に周波数帯域 f_1 、 f_2 を選択的に通すだけであったものが、本発明において、近接する周波数 f_1 、 f_2 の互いの周波数に対する選択性を大きくすることができるため、ノイズなどに強い受信器を構成できる。

【0015】上記実施例の説明は、本発明を説明するためのものであって、特許請求の範囲に記載の発明を限定し、或は範囲を縮減する様に解すべきではない。又、本発明の各部構成は上記実施例に限らず、特許請求の範囲に記載の技術的範囲内で種々の変形が可能である。

【図面の簡単な説明】

【図1】本発明の回路ブロック図である。

【図2】本発明の情報端末器の一実施例を示す回路図である。

【図3】本発明の信号処理回路の周波数出力特性図である。

【図4】本発明の信号処理回路の周波数出力特性図である。

【図5】従来の回路ブロック図である。

【図6】従来の情報端末器の一実施例を示す回路図である。

* 【図7】本発明の第1信号処理回路の周波数特性とインピーダンス分布を示す図である。

【図8】本発明の第2信号処理回路の周波数出力とインピーダンス分布を示す図である。

【図9】従来のフィルタ通過後の波形を示すグラフである。

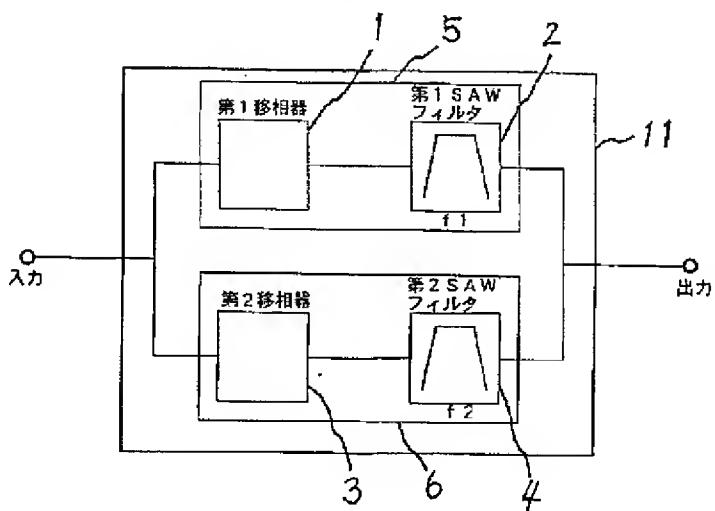
【図10】従来のフィルタ通過後の波形を示すグラフである。

【符号の説明】

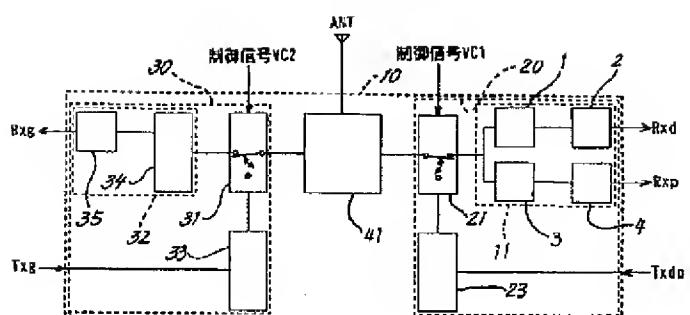
- 10 (1) 第1移相器
- (2) 第1通過帯域フィルタ
- (3) 第2移相器
- (4) 第2通過帯域フィルタ
- (5) 第1信号路
- (6) 第2信号路
- (10) システム
- (11) 信号処理回路(受信回路、第1受信回路)
- (20) 第1送受信回路
- (21) 第1スイッチング回路
- (41) ダイブレクサ

*

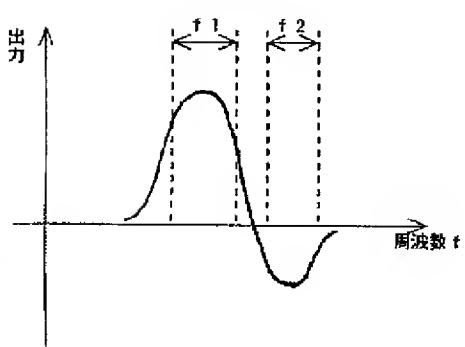
【図1】



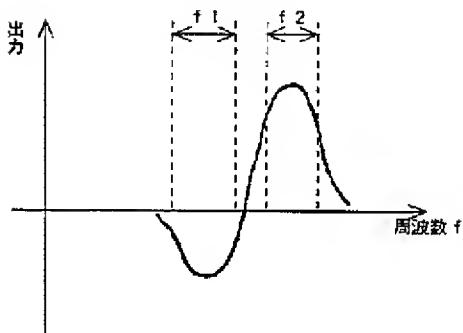
【図2】



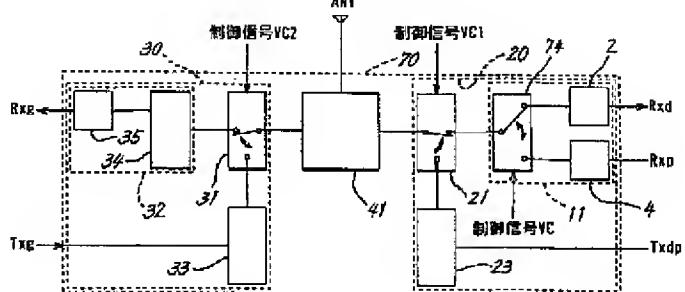
【図3】



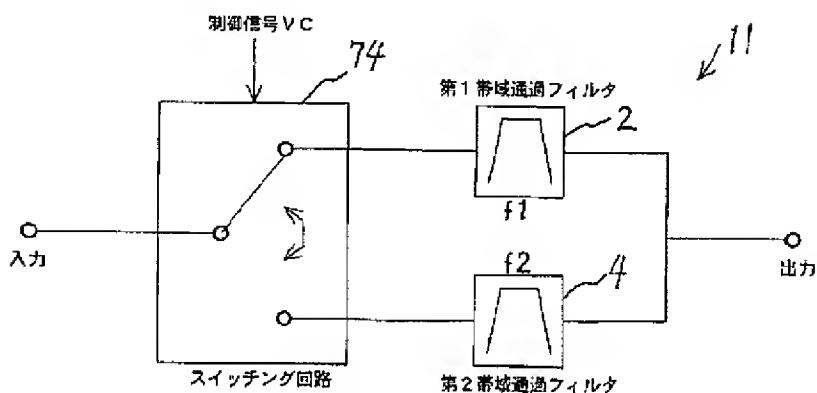
【図4】



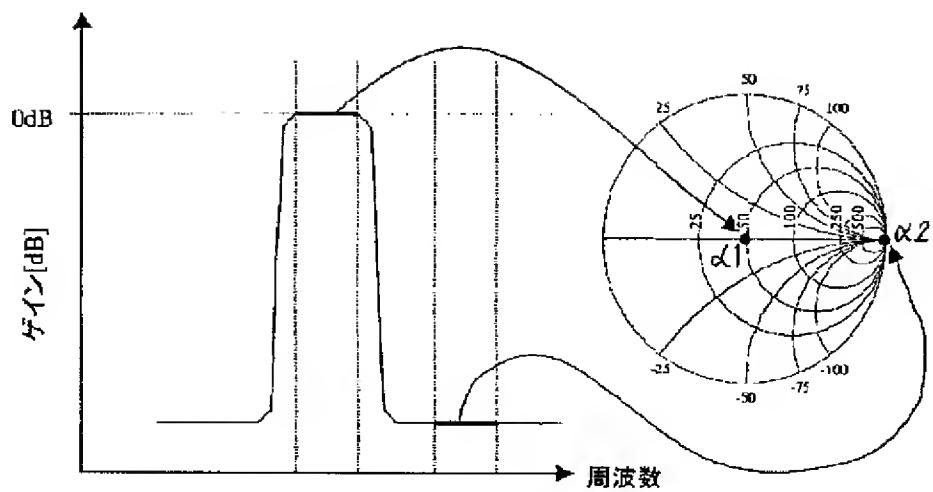
【図6】



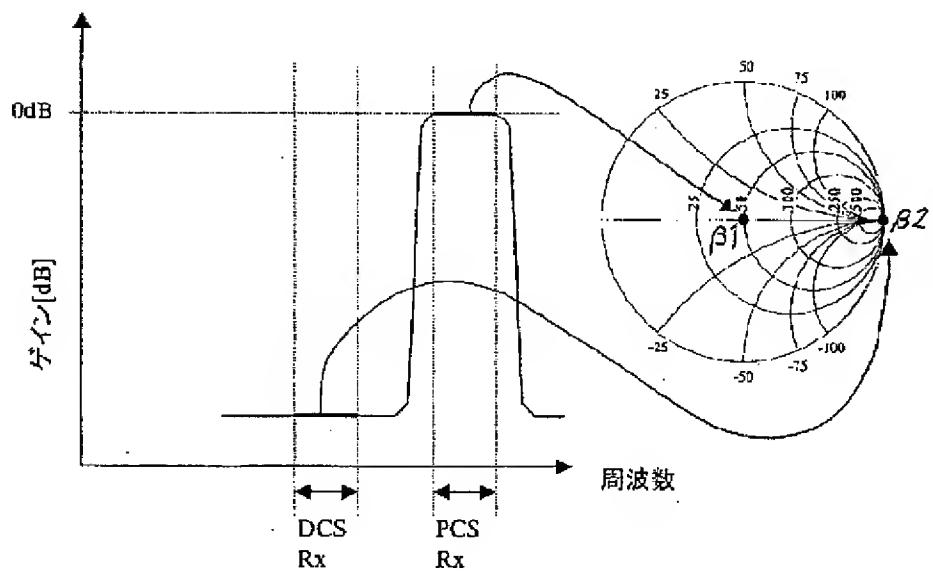
【図5】



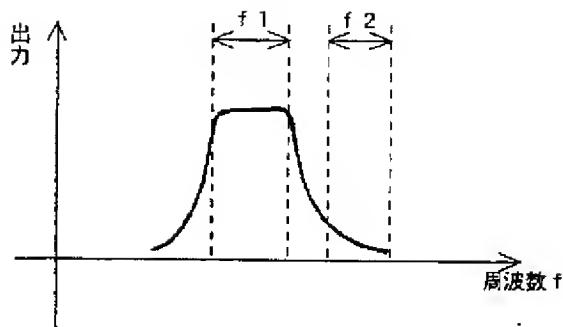
【図7】



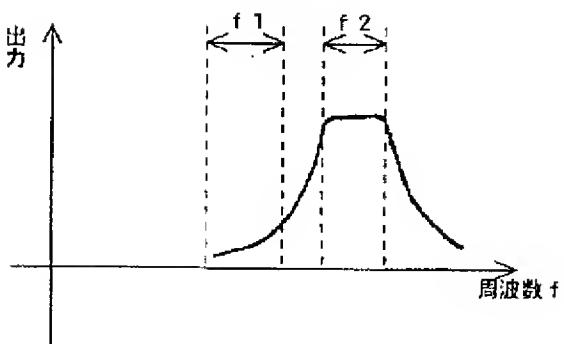
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 宮本 啓三

大阪府大東市三洋町一番一号 三洋電子部
品株式会社内

(72)発明者 二谷 泰郎

大阪府大東市三洋町一番一号 三洋電子部
品株式会社内

(72)発明者 藤浦 英明

大阪府大東市三洋町一番一号 三洋電子部
品株式会社内

F ターム(参考) 5J006 KA04 KA24

5J012 BA04 GA13

5K011 DA27 GA02 JA01 KA04